



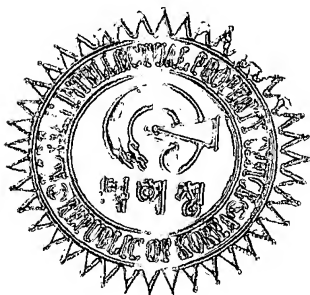
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0055811  
Application Number

출원 년 월 일 : 2003년 08월 12일  
Date of Application AUG 12, 2003

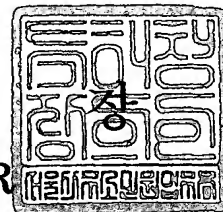
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      08      월      14      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.08.12
【발명의 명칭】	비접촉식 집적 회로 카드의 클럭 신호 생성 및 데이터 신호 디코딩 회로
【발명의 영문명칭】	CIRCUIT FOR GENERATING CLOCK SIGNAL AND DECODING DATA SIGNALS IN CONTACTLESS INTEGRATED CIRCUIT CARD
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김기열
【성명의 영문표기】	KIM,KI-YEOL
【주민등록번호】	721016-1063633
【우편번호】	435-050
【주소】	경기도 군포시 금정동 쌍용아파트 101동 808호
【국적】	KR
【우선권주장】	
【출원국명】	KR
【출원종류】	특허
【출원번호】	10-2002-0058393
【출원일자】	2002.09.26
【증명서류】	미첨부
【심사청구】	청구

## 【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 임창현 (인) 대리인  
 권혁수 (인)

## 【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 19 면 19,000 원

【우선권주장료】 1 건 26,000 원

【심사청구료】 19 항 717,000 원

【합계】 791,000 원

## 【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

여기에 개시된 본 발명의 집적 회로 카드의 클럭 신호 생성 및 데이터 디코딩 장치는, 휴지(Pause) 구간을 포함하는 무선 신호를 수신하는 수신기와, 상기 수신된 신호를 분주하는 분주기와, 상기 수신된 신호의 비휴지(Non-Pause) 구간마다 상기 분주된 신호의 주기를 카운트하는 제 1 카운터와, 상기 분주된 신호의 주기를 카운트하는 제 2 카운터 그리고 상기 제 1 카운터의 카운트 값과 상기 제 2 카운터의 카운트 값의 조합에 따라서 클럭 동기 신호를 생성하고 디코딩된 데이터 신호를 출력하는 디코더를 포함한다. 이와 같은 구성을 갖는 비접촉식 집적 회로 카드는, 카드 리더로부터 수신된 무선 신호로부터 ISO/IEC 14443 A형 프로토콜에 적합한 클럭 동기 신호를 생성하고 수신된 데이터 신호를 디코딩할 수 있다. 더욱이, 카드 리더로부터 수신된 무선 신호의 휴지 구간이 소정 범위내에서 변하더라도 정확한 디코딩이 가능하다.

**【대표도】**

도 4

**【명세서】****【발명의 명칭】**

비접촉식 집적 회로 카드의 클럭 신호 생성 및 데이터 신호 디코딩 회로{CIRCUIT FOR GENERATING CLOCK SIGNAL AND DECODING DATA SIGNALS IN CONTACTLESS INTEGRATED CIRCUIT CARD}

**【도면의 간단한 설명】**

도 1a 및 도 1b는 ISO/IEC 14443의 A형 인터페이스를 위한 통신 신호의 예를 보여주는 도면들;

도 2는 카드 리더로부터 IC 카드로 전송되는 신호에 포함된 "휴지(Pause)" 구간을 보여주는 도면;

도 3a 및 도 3b는 ISO/IEC 14443 A형의 데이터 프레임들을 보여주는 도면들;

도 4는 본 발명의 바람직한 실시예에 따른 비접촉식 집적 회로 카드의 클럭 신호 생성 및 데이터 신호 복원 회로를 보여주는 도면;

도 5는 도 4에 도시된 클럭 신호 생성 및 데이터 신호 복원 회로에서 사용되는 신호들의 타이밍도;

도 6은 클럭 분주기의 한 예를 보여주는 블록도;

도 7은 휴지 구간의 듀티 변화가 크더라도 정확한 코드 복원이 가능한 본 발명의 다른 실시예에 따른 비접촉식 집적 회로 카드의 클럭 신호 생성 및 데이터 신호 복원 회로를 보여주는 도면; 그리고

도 8은 도 7에 도시된 클럭 신호 생성 및 데이터 신호 복원 회로에서 사용되는 신호들의 타이밍도이다

100, 200 : 클럭 동기 신호 생성 및 데이터 디코딩 회로

110, 210 : RF 블록    120, 220 : 클럭 분주기

130, 230 : 오아 게이트    140, 240 : 3-비트 카운터

150, 250 : 2-비트 카운터    160, 260 : 클럭 발생기 및 디코더

170 : 리셋 컨트롤러

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14>        본 발명은 비접촉식 집적 회로 카드(contactless integrated circuit card)에 관한 것으로, 좀 더 구체적으로는 수신된 무선 신호로부터 클럭 신호를 생성하고 데이터 신호를 복원하는 비접촉식 집적 회로 카드의 클럭 신호 생성 및 데이터 신호 디코딩 회로에 관한 것이다.

<15>        1920년대에 신용카드가 처음 출현한 이래 현금카드, 신용카드, 신분증, 증권카드, 백화점 카드 등으로 카드의 이용이 확산되고 있으며, 근래에는 사용자의 편리성, 안정성, 다용도성 등으로 인해 소형 컴퓨터라 불리는 집적 회로(integrated circuit : IC) 카드에 대한 관심이 증가하고 있다.

<16>        IC 카드는, 신용카드 크기의 플라스틱 카드에 얇은 반도체 소자를 부착한 형태로서, 기존의 자기 띠(magnetic stripe)를 붙여 사용하는 카드에 비해 안전성이 높

고, 데이터가 지워질 염려가 없을 뿐만 아니라, 보안성이 높아 차세대 멀티미디어 정보 매체로 급부상하고 있다. IC 카드는 신용카드 크기와 두께를 가지는 플라스틱에 0.5mm 두께의 반도체 칩이 COB(Chip On Board) 형태로 이루어져 있다.

<17> IC 카드는 기존의 자기 띠 카드(magnetic stripe card)와 같은 모양과 크기를 가지며, 접촉형 IC 카드와, 두 종류의 무선형 비접촉식 카드 CICC(Contactless IC Card) 및 RCCC(Remote Coupling Communication Card)가 있다. CICC는 ISO(the International Organization for Standardization)와 IEC(the International Electrotechnical Commission)에 의해서 세계 표준을 위한 형식이 제공되었다. ISO/IEC 14443는 비접촉식 IC 카드 중 근접형 IC 카드에 대한 물리적 특성과 무선 주파수 전원, 신호 접속, 초기화 및 충돌 방지에 대한 프로토콜을 정의하고 있다. ISO/IEC 14443에 의하면 비접촉식 IC 카드는 프로세싱 및/또는 메모리 기능을 수행하기 위한 집적 회로(IC)를 포함한다. 비접촉식 IC 카드는 유전 소자(galvanic element)를 사용하지 않고 근접한 커플링 디바이스(proximity coupling device) 즉, 카드 리더(card reader)와의 유도 커플링(inductive coupling)에 의해서 신호의 교환과 전원을 공급받는다. 비접촉식 IC카드와 결합하는 카드 리더는 RF(radio frequency) 영역(field)의 에너지를 생성하고, 비접촉식 IC카드로 전원을 전송한다. RF 신호의 주파수(fc)는 13.56 MHz  $\pm$  kHz이다.

<18> 도 1a 및 도 1b는 ISO/IEC 14443의 A형 인터페이스를 위한 통신 신호의 예를 보여주고 있다. 도 1a에 도시된 신호는 카드 리더로부터 비접촉식 IC 카드로 전송되는 신호이고, 도 1b는 비접촉식 IC 카드로부터 카드 리더로 전송되는 신호이다. ISO/IEC 14443 표준에서는 2 가지 형태(A형 및 B형)의 통신 신호 접속에 대해서 기

술한다. 이중 ISO/IEC A형에 따른 카드 리더로부터 비접촉식 IC 카드로의 통신은 RF 동작 범위의 ASK(Amplitude Shift Keying) 100% 변조 방식과 변형 밀러 코드(Modified Miller code) 방식을 사용한다. 카드 리더로부터 비접촉식 IC 카드로 전송되는 신호의 비트율(bit rate) 또는 전송율(data rate)은  $f_c/128$  즉, 106 kbps이다. 비접촉식 IC 카드에서 카드 리더로의 전송 신호는 맨체스터(Manchester code) 방식으로 코딩되어 OOK(On-Off Key) 방식으로 변조된다. 현재 대한민국 서울의 지하철이나 버스 등에서 A형의 통신 신호 접속 방식으로 운용되고 있는 카드들은 카드 리더로부터 수신된 ASK 변조 신호로부터 일정 시간 간격의 타이밍을 생성하여 데이터 1 비트씩을 송수신 처리한다.

<19> IC 카드로부터 카드 리더로 데이터를 전송할 때에는 카드 리더로부터 전송되는 전원이 안정적으로 IC 카드로 제공된다. 그러나 카드 리더로부터 IC 카드로 데이터를 전송할 때에는 도 2에 도시된 바와 같이 "휴지(Pause)(t2)" 구간이 포함된다. 즉, 카드 리더로부터 IC 카드로 공급되는 전원이 잠시 중단되는 영역이 존재한다. 이 때, RF 수신단에서 생성된 클럭 신호는 불연속적인 파형을 갖는다. 이와 같은 불연속 구간을 포함하는 클럭 신호를 분주해서 송수신 동기 클럭 신호를 생성하면 ISO/IEC 14443 A형의 106 kbps 비트 전송율을 유지하기 어렵게 된다.

<20> 도 3a 및 도 3b는 ISO/IEC 14443 A형의 데이터 프레임들을 보여주고 있다. 도 3a는 시작 비트(Start bit : S), 데이터 비트들(b1-b7), 그리고 종료 비트(End bit : E)를 포함하는 쇼트 프레임(short frame)을 보여주고 있고, 도 3b는 시작 비트(S), 데이터 비트들(b1-b8), 패리티 비트(Parity bit : P) 그리고 종료 비트(End bit : E)의 조합으로 구성된 표준 프레임(standard frame)을 보여주고 있다.



<21> 일반적으로, 비접촉 IC 카드에 구비된 디코딩 회로는, 클럭 동기 신호에 동기되어서 수신된 무선 신호로부터 각 비트를 추출하고, 추출된 비트를 시작 비트(S), 데이터 비트들(b1-b7) 그리고 종료 비트(E)로 분리하고, 분리된 비트 정보로부터 수신 데이터를 검출하는 동작을 수행한다. 이와 같은 일련의 동작을 정상적으로 수행하기 위해서는 정확한 클럭 동기 신호가 요구된다. 그러나, 불연속적인 구간(즉, 휴지 구간)을 포함하는 무선 신호로부터 일정한 주파수의 클럭 동기 신호를 생성하는 것은 어려운 문제이다.

**【발명이 이루고자 하는 기술적 과제】**

<22> 따라서 본 발명의 목적은 수신된 무선 신호로부터 일정한 주파수의 클럭 동기 신호를 생성하고, 데이터 신호를 정확하게 복원할 수 있는 비접촉식 집적 회로 카드의 클럭 동기 신호 생성 및 데이터 신호 복원 회로를 제공하는데 있다.

**【발명의 구성 및 작용】**

<23> (구성)

<24> 상술한 바와 같은 목적을 달성하기 위한 본 발명의 일 특징에 의하면, 비접촉식 집적 회로 카드의 클럭 신호 생성 및 데이터 디코딩 장치는, 휴지(Pause) 구간을 포함하는 무선 신호를 수신하는 수신기와, 상기 수신된 신호를 분주하는 분주기와, 상기 수신된 신호의 비휴지(Non-Pause) 구간마다 상기 분주된 신호의 주기를 카운트하는 제 1 카운터와, 상기 분주된 신호의 주기를 카운트하는 제 2 카운터 그리고 상기 제 1 카운터의 카운트 값과 상기 제 2 카운터의 카운트 값의 조합에 따라서 클럭 동기 신호를 생성하고 디코딩된 데이터 신호를 출력하는 디코더를 포함한다.

- <25> 바람직한 실시예에 있어서, 상기 제 1 카운터는, 상기 무선 신호의 휴지 구간에서 리셋된다.
- <26> 바람직한 실시예에 있어서, 상기 제 2 카운터는, 상기 클럭 동기 신호의 폴링 에지에서 리셋된다.
- <27> 바람직한 실시예에 있어서, 상기 무선 신호는 ISO-14443 A형 인터페이스에 따른 무선 신호이다.
- <28> 바람직한 실시예에 있어서, 상기 디코더는 상기 제 1 카운터의 카운트 값과 상기 제 2 카운터의 카운트 값의 조합에 따라서 수신된 프레임의 종료를 나타내는 신호를 더 출력한다.
- <29> 본 발명의 다른 특징에 의하면, 비접촉식 집적 회로 카드의 수신 데이터 복원 장치는: 휴지 구간을 포함하는 무선 신호를 수신하고, 상기 수신된 무선 신호에서 데이터 신호와 클럭 신호를 각각 추출하는 수신기와, 상기 클럭 신호를 분주해서 분주된 클럭 신호를 생성하는 분주기와, 상기 데이터 신호의 비휴지(Non-Pause) 구간마다 상기 분주된 클럭 신호의 주기를 카운트하는 제 1 카운터와, 상기 분주된 클럭 신호의 주기를 카운트하는 제 2 카운터, 그리고 상기 제 1 카운터의 카운트 값과 상기 제 2 카운터의 카운트 값의 조합에 따라서 클럭 동기 신호를 생성하고 디코딩된 데이터 신호를 출력하는 디코더를 포함한다.
- <30> 바람직한 실시예에 있어서, 상기 제 1 카운터는, 상기 데이터 신호의 상기 휴지 구간의 시작에서 리셋되고, 3-비트 카운터로 구성된다. 상기 제 2 카운터는 상기 클럭

동기 신호의 폴링 에지에 동기되어 리셋되고, 2-비트 카운터로 구성된다. 상기 제 2 카운터의 카운트 값은 0부터 2까지 순차적으로 변화한다.

<31> 바람직한 실시예에 있어서, 상기 제 1 카운터는 4-비트 카운터로 구성되고, 상기 제 2 카운터는 상기 제 1 카운터의 카운트 값과 상기 제 2 카운터의 카운트 값의 조합에 따라서 리셋된다. 상기 2 카운터는 3-비트 카운터이다.

<32> 바람직한 실시예에 있어서, 상기 디코더는 상기 제 1 카운터의 카운트 값과 상기 제 2 카운터의 카운트 값의 조합에 따라서 수신된 프레임의 종료를 나타내는 신호를 출력한다.

<33> 바람직한 실시예에 있어서, 상기 비접촉식 집적 회로 카드는, 상기 비접촉식 집적 회로 카드를 리셋하기 위한 신호와 상기 수신기의 데이터 신호를 받아들이는 오아 게이트를 더 포함하며, 상기 제 1 카운터는 상기 오아 게이트의 출력에 응답해서 리셋된다.

<34> 바람직한 실시예에 있어서, 상기 분주기는, 상기 수신기로부터의 상기 클럭 신호를 받아들이는 입력단과 출력단 사이에 직렬로 연결된 복수 개의 분주 유닛들과, 상기 각 분주 유닛들은 입력 신호를 n 분주하고 그리고 외부로부터 제공되는 선택 신호에 응답해서 상기 분주 유닛들로부터의 출력 들 가운데 하나를 상기 분주된 클럭 신호로서 출력하는 선택기를 포함한다.

<35> 이와 같은 구성을 갖는 비접촉식 집적 회로 카드는 카드 리더로부터 수신된 무선 신호로부터 ISO/IEC 14443 A형 프로토콜에 적합한 클럭 동기 신호를 생성하고 수신된 데이터 신호를 디코딩할 수 있다. 더욱이, 카드 리더로부터 수신된 무선 신호의 휴지 구간이 소정 범위내에서 변하더라도 정확한 디코딩이 가능하다.

<36> (실시예)

<37> 이하 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다.

<38> 도 4는 본 발명의 바람직한 실시예에 따른 비접촉식 집적 회로 카드의 클럭 신호 생성 및 데이터 신호 복원 회로를 보여주는 도면이다. 도 4를 참조하면, 비접촉식 집적 회로 카드에 구비되는 클럭 동기 신호 생성 및 데이터 디코딩 회로(100)는 RF 블록(110), 클럭 분주기(clock divider)(120), 오아 게이트(130), 3-비트 카운터(3-bit counter)(140), 2-비트 카운터(150), 클럭 발생기 및 디코더(clock generator and decoder)(160) 그리고 리셋 컨트롤러(reset controller)(170)를 포함한다.

<39> RF 블록(110)은, ISO/IEC 14443 A형 프로토콜에 따라서 주파수가 13.56 MHz이고, 전송률이 106 kbps인 RF(radio frequency) 신호를 받아들여서 디지털 회로에 적합한 클럭 신호(RF\_CLK)와 데이터 신호(RF\_IN)로 변환한다. 클럭 분주기(120)는 클럭 신호(RF\_CLK)를 분주해서 분주된 클럭 신호(DIV\_CLK)를 발생한다. 추후 설명되겠지만, 클럭 분주기(120)는 다양한 주파수의 클럭 신호들을 생성하며, 선택 신호(SEL)에 응답해서 생성된 클럭 신호들 중 하나를 출력한다. 오아 게이트(130)는 시스템 리셋 신호(SYS\_RST)와 RF 블록(110)으로부터의 데이터 신호(RF\_IN)를 받아들인다.

<40> 3-비트 카운터(140)는 데이터 신호(RF\_IN)가 하이 레벨일 때 클럭 분주기(120)로부터의 분주된 클럭 신호(DIV\_CLK)의 주기를 카운트해서 그 결과(RX\_IN\_CNT3)를 출력하고, 데이터 신호(RN\_IN)가 로우 레벨일 때 리셋된다. 3-비트 카운터(140)의 카운트 값(RX\_IN\_CNT3)은 0부터 7까지(이진수 '000'부터 '111'까지) 순차적으로 변화된다. 2-비트 카운터(150)는 리셋 컨트롤러(170)에서 발생된 리셋 신호(RST)에 응답해서 리셋되고, 클럭 분주기(120)로부터의 분주된 클럭 신호(DIV\_CLK)의 주기를 카운트해서 그 결과

(STATE\_CNT2)를 출력한다. 2-비트 카운터(150)의 카운트 값(STATE\_CNT2)은 0부터 2까지(이진수 '00'부터 '10'까지) 순차적으로 변화된다.

<41> 클럭 발생기 및 디코더(160)는 카운터들(140, 150)로부터의 카운트 값들 (RX\_IN\_CNT3, STATE\_CNT2)에 응답해서 클럭 동기 신호(ETU\_RX\_CLK)를 발생하고, 디코딩 된 데이터 신호(RX\_IN)와 프레임 종료 신호(END\_OF\_RX)를 출력한다. 리셋 컨트롤러 (170)는 시스템 리셋 신호(SYS\_RST)에 의해 리셋되며, 클럭 동기 신호(ETU\_RX\_CLK)에 응답해서 리셋 신호(RST)를 발생한다.

<42> 계속해서 도 5에 도시된 타이밍도를 참조하여 도 4에 도시된 비접촉식 집적 회로 카드의 클럭 신호 생성 및 데이터 신호 복원 회로의 동작이 상세히 설명된다. 도 5는 도 4에 도시된 클럭 신호 생성 및 데이터 신호 복원 회로에서 사용되는 신호들의 타이밍 도이다. 도 5에서는 통신을 초기화(intiate)하기 위해 사용되는 쇼트 프레임(short frame)의 신호가 수신되는 경우의 타이밍도를 보여주고 있다.

<43> 도 4 및 도 5를 참조하면, 카드 리더(미 도시됨)로부터 쇼트 프레임을 수신하기 전에, 카운터(140)와 리셋 컨트롤러(170)는 시스템 리셋 신호(SYS\_RST)에 의해서 리셋된다. 리셋 컨트롤러(170)로부터의 리셋 신호(RST)에 응답해서 카운터(150) 또한 리셋된다. 그러므로, 초기에 카운터(140)의 카운트 값(RX\_IN\_CNT3)과 카운터(150)의 카운트 값(STATE\_CNT2)은 각각 0이 된다. 한편, 쇼트 프레임이 수신되기 전 RF 블록(110)은 하이 레벨의 데이터 신호(RF\_IN)를 출력한다.

<44> 쇼트 프레임의 첫 번째 비트인 시작 비트(S)가 수신되면서 RF 블록(110)으로부터 출력되는 데이터 신호(RF\_IN)는 로직 하이(즉, 논리 '1')에서 로직 로우(즉, 논리 '0')로 천이한다. 이 때부터 클럭 분주기(120)는 분주 동작을 시작한다. 도 3a에 도시된

쇼트 프레임의 각 비트의 주기를 ETU(Elementary Time Unit)라 할 때, 이 실시예에서 클럭 분주기(120)로부터의 분주된 클럭 신호(DIV\_CLK)의 주기는 1/4 ETU이다.

<45> 리셋 상태인 카운터들(140, 150)은 분주된 클럭 신호(DIV\_CLK)의 폴링 에지(falling edge)마다 카운트-업(count-up)한다. 클럭 발생기 및 디코더(160)는 카운터들(140, 150)로부터의 카운트 값들을 받아들이고 카운트 값들이 특정 값일 때 클럭 동기 신호(ETU\_RX\_CLK)의 라이징 에지(rising edge)와 폴링 에지(falling edge)를 생성한다. 카운터들(140, 150)의 카운트 값들에 따라서 클럭 발생기 및 디코더(160)가 생성하는 클럭 동기 신호(ETU\_RX\_CLK)를 정리하면 다음 표 1과 같다.

<46> 【표 1】

ETU_RX_CLK	RX_IN_CNT	STATE_CNT
	[0]	[0]
Rising Clock	0	0
	0	1
	1	1
	2	1
	4	1
	5	1
	6	1
Falling Clock	0	2
	2	0
	2	2
	3	0
	4	0
	6	0
	7	0

- <47> 예컨대, 카운터(140)의 카운트 값(RX\_IN\_CNT3)이 1이고, 카운터(150)의 카운트 값(STATE\_CNT2)이 1이면 클럭 동기 신호(ETU\_RX\_CLK)의 라이징 에지가 생성된다. 그리고 카운터(140)의 카운트 값(RX\_IN\_CNT3)이 2이고, 카운터(150)의 카운트 값(STATE\_CNT2)이 2이면 클럭 동기 신호(ETU\_RX\_CLK)의 폴링 에지가 생성된다.
- <48> 리셋 컨트롤러(170)는 클럭 발생기 및 디코더(160)로부터의 클럭 동기 신호(ETU\_RX\_CLK)의 폴링 에지에서 리셋 신호(RST)를 활성화시킨다. 활성화된 리셋 신호(RST)에 응답해서 카운터(150)는 리셋된다. 카운터(140)는 RF 블록(110)으로부터의 데이터 신호(RF\_IN)가 논리 하이에서 논리 로우로 천이할 때 리셋된다. 상술한 바와 같은 과정들이 반복적으로 수행되면서 0.11 MHz의 클럭 동기 신호(ETU\_RX\_CLK)가 생성된다.
- <49> 한편, 클럭 발생기 및 디코더(160)는 카운터들(140, 150)의 카운트 값들에 따라서 디코딩된 데이터 신호(RX\_IN)를 생성한다. 카운터들(140, 150)의 카운트 값들에 따라서 디코딩된 데이터 신호(RX\_IN)를 생성하는 방법이 다음 표 2에 정리되어 있다.

<50> 【표 2】

RF_IN	RX_IN_CNT	STATE_CNT	1 ETU
LOGIC 0	2	2	0111
	4	0	1111
	5	2	
	7	2	
LOGIC 1	0	0	1101
	3	0	
	7	0	

<51> 변형 밀러 코드인 데이터 신호(RF\_IN)는 1 ETU 동안 0111 또는 1111일 때 로직 0을 나타내고, 1 ETU 동안 1101일 때 로직 1을 나타낸다. 예컨대, 카운터(140)의 카운트 값(RX\_IN\_CNT3)이 0이고, 카운터(150)의 카운트 값(STATE\_CNT2)이 2일 때 클럭 발생기 및 디코더(160)는 로직 하이의 디코딩된 데이터 신호(RX\_IN)를 출력한다. 그리고 카운터(140)의 카운트 값(RX\_IN\_CNT3)이 4이고, 카운터(150)의 카운트 값(STATE\_CNT2)이 0일 때 클럭 발생기 및 디코더(160)는 로직 로우의 디코딩된 데이터 신호(RX\_IN)를 출력한다. 이와 같은 방법으로, '0111 1101 1101 11110111 1101'인 데이터 신호(RF\_IN)를 '0110010'인 디코딩된 데이터 신호(RX\_IN)로 변환할 수 있다.

<52> 한 프레임의 끝을 나타내는 종료 비트(E)를 인식하는 방법은 다음과 같다. 클럭 발생기 및 디코더(160)는 카운터들(140, 150)의 카운트 값들에 따라서 종료 신호(END\_OF\_RX)를 생성한다. 카운터들(140, 150)의 카운트 값들에 따라서 종료 신호(END\_OF\_RX)를 생성하는 방법이 다음 표 3에 정리되어 있다.

<53> 【표 3】

RX_IN	RX_IN_CNT	STATE_CNT
END_OF_RX	6	0
	7	0

<54> 표 3에 나타난 바와 같이, 카운터(140)의 카운트 값(RX\_IN\_CNT3)이 6 또는 7이고, 카운터(150)의 카운트 값(STATE\_CNT2)이 0일 때 클럭 발생기 및 디코더(160)는 프레임 종료 신호(END\_OF\_RX)를 하이 레벨로 활성화한다.



- <55> 상술한 바와 같은 본 발명에 의하면, 0.11 MHz의 클럭 동기 신호(ETU\_RX\_CLK)를 생성하고 디코딩된 데이터 신호(RX\_IN)를 생성함으로써 ISO/IEC 14443 A형 프로토콜에 적합한 데이터 수신이 가능하다.
- <56> 이 실시예에서는 전송률이 106 kbps인 경우를 설명하였으나 본 발명에 의하면 다양한 전송률을 지원하는 것이 가능하다. 도 6은 클럭 분주기(120)의 한 예를 보여주는 블록도이다. 도 6을 참조하면, 클럭 분주기(120)는 복수 개의 분주기들(121-127)과 전송률 선택기(128)를 포함한다. 분주기들(121-127)은 입력단(120a)과 출력단(120b) 사이에 직렬로 연결된다. 각 분주기들(121-127)은 입력 신호를 2분주해서 출력한다. 전송률 선택기(128)는 선택 신호(SEL)에 응답해서 분주기들(121-127)로부터의 분주된 클럭 신호들(ETUD2-ETUD64) 가운데 하나를 출력(DIV\_CLK)한다.
- <57> ISO/IEC 14443 표준에 의하면, 클럭 신호(RF\_CLK)는 13.56 MHz이다. 106 kbps의 전송률을 지원하기 위해서 이 실시예에서는 분주기(125)로부터의 클럭 신호(ETUD4)를 카운터들(140, 150)과 클럭 발생기 및 디코더(160)의 클럭 신호(DIV\_CLK)로서 사용하였다. 예컨대, 212 kbps 전송률을 지원하기 위해서는 분주기(124)로부터의 클럭 신호(ETUD8)를 카운터들(140, 150)과 클럭 발생기 및 디코더(160)의 클럭 신호(DIV\_CLK)로서 사용하면 된다. 그러므로, 본 발명에 의하면, 선택 신호(SEL)에 따라서 최대 3.2 Mpps까지의 전송률을 지원할 수 있다.
- <58> 앞서 설명한 바와 같이, IC 카드가 카드 리더(단말기)로 접근하면서 카드 리더로부터 IC 카드로 전송되는 RF 신호의 휴지(pause) 구간의 듀티(duty)는 변한다. 이러한 휴지 구간은 카드 리더와 IC 카드 사이의 거리, 안테나 매칭 또는 RF 신호의 세기에 따라 가변된다. 도 4에 도시된 비접촉식 집적 회로 카드의 클럭 신호 생성 및 데이터 신호

복원 회로(100)는 휴지 구간의 듀티가 도 2에 도시된 바와 같은 범위(Min~Max) 내의 특정 값으로 고정된 경우만 정상적으로 동작한다. 휴지 구간의 듀티가 도 2에 도시된 바와 같은 범위(Min~Max) 내에서 변할 때 도 4에 도시된 비접촉식 집적 회로 카드의 클럭 신호 생성 및 데이터 신호 복원 회로(100)는 정확한 코드를 복원하지 못하는 문제가 발생할 수 있다. 그 원인은 카운터(150)가 2-비트 카운터로 구성되어서 단위 구간 내에서 분해능이 25%로 제한되기 때문이다.

<59> 도 7은 휴지 구간의 듀티 변화가 크더라도 정확한 코드 복원이 가능한 본 발명의 다른 실시예에 따른 비접촉식 집적 회로 카드의 클럭 신호 생성 및 데이터 신호 복원 회로를 보여주고 있다.

<60> 도 7을 참조하면, 비접촉식 집적 회로 카드에 구비되는 클럭 동기 신호 생성 및 데이터 디코딩 회로(200)는 도 4에 도시된 회로(100)와 유사한 회로 구성을 갖는다. 다만, 카운터(240)는 4-비트 카운터로 구성되고, 카운터(250)는 3-비트 카운터이며, 카운터(250)를 리셋시키기 위한 신호는 클럭 발생기 및 디코더(260)로부터 제공된다. 이 실시예에서, 도 4에 도시된 소자와 동일하게 동작하는 소자들에 대한 상세한 설명은 생략한다.

<61> 4-비트 카운터(240)는 데이터 신호(RN\_IN)가 하이 레벨일때 클럭 분주기(220)로부터의 분주된 클럭 신호(DIV\_CLK)의 라이징 에지와 폴링 에지에 동기되어서 동작하고 카운트 값(RX\_IN\_CNT4)을 출력하며, 데이터 신호(RF\_IN)가 로우 레벨일 때 리셋된다. 4-비트 카운터(240)의 카운트 값(RX\_IN\_CNT4)은 0부터 15까지(이진수 '0000'부터 '1111'까지) 순차적으로 변화된다. 3-비트 카운터(250)는 클럭발생기 및 디코더(260)에서 발생된 클리어 신호(CLEAR)에 응답해서 리셋되고, 클럭 분주기(220)로부터의 분주된 클럭 신

호(DIV\_CLK)의 라이징 에지와 폴링 에지에 동기되어 동작하고 카운트 값(STATE\_CNT3)을 출력한다. 3-비트 카운터(150)의 카운트 값(STATE\_CNT3)은 0부터 7까지(이진수 '000'부터 '111'까지) 순차적으로 변화된다.

<62> 클럭 발생기 및 디코더(260)는 카운터들(240, 250)로부터의 카운트 값들(RX\_IN\_CNT4, STATE\_CNT3)에 응답해서 클럭 동기 신호(ETU\_RX\_CLK)를 발생하고, 디코딩된 데이터 신호(RX\_IN)와 프레임 종료 신호(END\_OF\_RX) 그리고 클리어 신호(CLEAR)를 발생한다.

<63> 계속해서 도 8에 도시된 타이밍도를 참조하여 도 7에 도시된 비접촉식 집적 회로 카드의 클럭 신호 생성 및 데이터 신호 복원 회로(200)의 동작이 상세히 설명된다. 도 8은 도 7에 도시된 클럭 신호 생성 및 데이터 신호 복원 회로에서 사용되는 신호들의 타이밍도이다. 도 8에서는 통신을 초기화(intiate)하기 위해 사용되는 쇼트 프레임(short frame)의 신호가 수신되는 경우의 타이밍도를 보여주고 있다.

<64> 도 7 및 도 8을 참조하면, 카드 리더(미 도시됨)로부터 쇼트 프레임을 수신하기 전에, 카운터(240)와 클럭 발생기 및 디코더(260)는 시스템 리셋 신호(SYS\_RST)에 의해서 리셋된다. 클럭 발생기 및 디코더(260)로부터의 클리어 신호(CLEAR)에 응답해서 카운터(250) 또한 리셋된다. 그러므로, 초기에 카운터(240)의 카운트 값(RX\_IN\_CNT4)과 카운터(250)의 카운트 값(STATE\_CNT3)은 각각 0이 된다. 한편, 쇼트 프레임이 수신되기 전 RF 블록(210)은 하이 레벨의 데이터 신호(RF\_IN)를 출력한다. 쇼트 프레임의 첫 번째 비트인 시작 비트(S)가 수신되면서 RF 블록(210)으로부터 출력되는 데이터 신호(RF\_IN)는 로직 하이(즉, 논리 '1')에서 로직 로우(즉, 논리 '0')로 천이한다. 이 때부

터 클럭 분주기(220)는 분주 동작을 시작한다. 이 실시예에서 클럭 분주기(220)로부터의 분주된 클럭 신호(DIV\_CLK)의 주기는 1/4 ETU이다.

<65> 리셋 상태인 카운터들(240, 250)은 분주된 클럭 신호(DIV\_CLK)의 라이징 에지 및 폴링 에지마다 카운트-업(count-up)한다. 클럭 발생기 및 디코더(260)는 카운터들(240, 250)로부터의 카운트 값들을 받아들이고 카운트 값들이 특정 값일 때 클럭 동기 신호(ETU\_RX\_CLK)의 라이징 에지(rising edge)와 폴링 에지(falling edge)를 생성한다. 카운터들(240, 250)의 카운트 값들에 따라서 클럭 발생기 및 디코더(260)가 생성하는 클럭 동기 신호(ETU\_RX\_CLK)를 정리하면 다음 표 4와 같다.

<66>

【표 4】

ETU_RX_CLK	RX_IN_CNT4				STATE_CNT3			Hexa Code
	[3]	[2]	[1]	[0]	[2]	[1]	[0]	RX_IN_CNT4[3:0]    STATE_CNT3[2:0]
Rising Clock	0	0	0	0	0	1	0	02
	0	0	0	1	0	0	1	11
	0	1	0	0	0	1	1	43
	1	0	0	0	0	1	0	82
	1	1	0	0	0	1	0	C2
Falling Clock	0	0	0	0	0	0	0	00
	0	0	0	1	1	0	0	14
	0	0	0	1	1	0	1	15
	0	0	0	1	1	1	0	16
	0	0	0	1	1	1	1	17
	0	1	0	0	1	0	0	44
	0	1	0	0	1	1	0	46
	0	1	0	1	0	0	1	51
	0	1	1	0	0	0	1	61
	1	0	0	0	1	1	1	87
	1	0	0	1	0	0	1	91
	1	0	1	0	0	0	1	A1
	1	1	0	0	1	1	0	C6
	1	1	0	1	0	0	1	D1
	1	1	1	0	0	0	1	E1

<67> 예컨대, 카운터(240)의 카운트 값(RX\_IN\_CNT4)이 1이고, 카운터(250)의 카운트 값(STATE\_CNT3)이 1이면 클럭 동기 신호(ETU\_RX\_CLK)의 라이징 에지가 생성된다. 예를 들어, 카운터(240)의 카운트 값(RX\_IN\_CNT4)이 4이고, 카운터(250)의 카운트 값(STATE\_CNT3)이 4이면 클럭 동기 신호(ETU\_RX\_CLK)의 폴링 에지가 생성된다. 이로써 전송률 106kbps를 위한 클럭 동기 신호(ETU\_RX\_CLK)가 생성된다.

- <68> 표 4에 나타난 카운터들(240, 250)의 카운트 값의 조합에 따른 클럭 신호 (ETU\_RX\_CLK)는 클럭 발생기 및 디코더(260) 내에 구성되는 조합 회로에 의해 발생될 수 있으며, 그러한 조합 회로의 구성은 당업자라면 누구나 구성할 수 있으므로 본 명세서에 서는 언급하지 않기로 한다.
- <69> 클럭 발생기 및 디코더(260)는 클럭 동기 신호(ETU\_RX\_CLK)의 폴링 에지에 동기되어 카운터들(240, 250)의 카운트 값들(RX\_IN\_CNT4, STATE\_CNT3)에 따라서 데이터 신호 (RX\_IN)를 생성한다.
- <70> 변형 밀러 코드인 데이터 신호(RF\_IN)는 1 ETU 동안 0111 또는 1111일 때 로직 0을 나타내고, 1 ETU 동안 1101일 때 로직 1을 나타낸다. 클럭 동기 신호(ETU\_RX\_CLK)의 폴링 에지에서 카운터들(240, 250)의 카운트 값들에 따라서 디코딩된 데이터 신호(RX\_IN)가 로직 1로 설정되는 경우가 다음 표 4에 정리되어 있다. 카운터들(240, 250)의 카운트 값이 표 5에 나타난 카운트 값 이외의 다른 값인 경우 데이터 신호(RX\_IN)는 로직 0로 설정된다.
- <71>

【표 5】

Signal & RF_IN LEVEL		RX_IN_CNT4				STATE_CNT3			Hexa Code
		[3]	[2]	[1]	[0]	[2]	[1]	[0]	RX_IN_CNT4[3:0]    STATE_CNT3[2:0]
RX_IN LOGIC 1	1101 (1 ETU)	0	0	0	0	0	1	1	03
		0	0	0	0	1	0	0	04
		0	0	0	0	1	0	1	05
		0	0	0	0	1	1	0	06
		0	0	0	1	1	0	0	14
		0	0	0	1	1	0	1	15
		0	0	0	1	1	1	0	16
		0	0	0	1	1	1	1	17

<72> 예컨대, 도 8에 도시된 바와 같이, 클럭 동기 신호(ETU\_RX\_CLK)의 폴링 에지에서 카운터(240)의 카운트 값(RX\_IN\_CNT4)이 0이고, 카운터(250)의 카운트 값(STATE\_CNT3)이 3일 때 클럭 발생기 및 디코더(260)는 로직 1인 데이터 신호(RX\_IN)를 출력한다. 그리고 클럭 동기 신호(ETU\_RX\_CLK)의 폴링 에지에서 카운터(240)의 카운트 값(RX\_IN\_CNT4)이 0이고, 카운터(250)의 카운트 값(STATE\_CNT3)이 3일 때 클럭 발생기 및 디코더(260)는 로직 0인 데이터 신호(RX\_IN)를 출력한다. 이와 같은 방법으로, '0111 1101 1101 1111 0111 1101'인 데이터 신호(RF\_IN)를 '011001'인 디코딩된 데이터 신호(RX\_IN)로 변환할 수 있다. 이진수 '011001'는 십진수 '26'이다.

<73> 다음 표 6은 클럭 발생기 및 디코더(260)가 카운터(250)를 리셋하기 위한 클리어 신호(CLEAR)를 발생하는 알고리즘이다.

&lt;74&gt; 【표 6】

CLEAR	RX_IN_CNT				STATE_CNT			Hexa Code
	[3]	[2]	[1]	[0]	[2]	[1]	[0]	RX_IN_CNT4[3:0]    STATE_CNT3[2:0]
NOT CLEAR	0	0	0	0	0	0	0	00
	x	x	x	x	x	x	x	other case
CLEAR	0	0	0	0	0	0	1	01
	0	0	0	1	1	0	0	14
	0	0	0	1	1	0	1	15
	0	0	0	1	1	1	0	16
	0	0	0	1	1	1	1	17
	0	1	0	0	1	0	0	44
	0	1	0	0	1	1	0	46
	0	1	0	1	0	0	1	51
	0	1	1	0	0	0	1	61
	1	0	0	0	1	1	1	87
	1	0	0	1	0	0	1	91
	1	0	1	0	0	0	1	A1
	1	1	0	0	1	1	0	C6
	1	1	0	1	0	0	1	D1
	1	1	1	0	0	0	1	E1

<75> 표 5에서 알 수 있는 바와 같이, 카운터(250)는 카운터들(240, 250)의 카운트 값들의 조합에 따라서 리셋된다.

<76> 한 프레임의 끝을 나타내는 종료 비트(E)를 인식하는 방법은 다음과 같다. 클럭 발생기 및 디코더(260)는 카운터들(240, 250)의 카운트 값들에 따라서 종료 신호(END\_OF\_RX)를 생성한다. 카운터들(240, 250)의 카운트 값들에 따라서 종료 신호(END\_OF\_RX)를 생성하는 방법이 다음 표 7에 정리되어 있다.

<77>



【표 7】

SIGNAL & RF_IN LEVEL	RX_IN_CNT4				STATE_CNT3			Hexa Code
	[3]	[2]	[1]	[0]	[2]	[1]	[0]	RX_IN_CNT4[3:0]    STATE_CNT3[2:0]
END_OF_RX 11111111 (2 ETU)	1	1	0	1	1	1	0	D6
	1	1	1	1	0	0	1	F1
	1	1	1	1	1	0	1	F5

<78> 카운터들(240, 250)의 카운트 값들의 조합이 표 7에 나타난 바와 같을 때 클럭 발생기 및 디코더(260)는 프레임 종료 신호(END\_OF\_RX)를 하이 레벨로 활성화한다.

<79> 상술한 바와 같은 본 발명에 의하면, 클럭 신호 생성 및 데이터 신호 디코딩 회로(200)는 0.11 MHz의 클럭 동기 신호(ETU\_RX\_CLK)를 생성하고 디코딩된 데이터 신호(RX\_IN)를 생성함으로써 ISO/IEC 14443 A형 프로토콜에 적합한 데이터 수신이 가능하다.

<80> 데이터 전송률이 106kbps이고, 클럭 신호(RF\_CLK)의 32 클럭 사이클동안 1-비트 데이터가 표현될 때 1-비트 데이터의 휴지 구간은 8 클럭 사이클이다. 도 4에 도시된 회로(100)는 휴지 구간이 6~11 클럭 사이클 범위 내에 있으면 정확하게 신호를 복원할 수 있다. 6~11클럭 사이클은 1.764~3.234  $\mu$ s이다. 그러나, 실제 환경에서 클럭 신호(RF\_CLK)의 휴지 구간은 0.294~4.704  $\mu$ s이다. 도 7에 도시된 비접촉식 집적 회로 카드의 클럭 신호 생성 및 데이터 신호 복원 회로(200)는 카운터(240)를 4-비트 카운터로 구성하고, 카운터(250)를 3-비트 카운터로 구성하여 휴지 구간의 변화를 세밀하게 추적할 수 있다. 회로(200)는 0.884~4.129  $\mu$ sec의 휴지 구간을 허용한다. 데이터 송수신 전

송률이 212 kbps일 때 휴지 구간은 0.589~2.064  $\mu$ s, 그리고 데이터 전송률이 424 kbps 일 때 휴지 구간은 0.294~0.884  $\mu$ s 까지 허용된다.

<81> 예시적인 바람직한 실시예를 이용하여 본 발명을 설명하였지만, 본 발명의 범위는 개시된 실시예들에 한정되지 않는다는 것이 잘 이해될 것이다. 오히려, 본 발명의 범위는 다양한 변형 예들 및 그 유사한 구성들이 모두 포함될 수 있도록 하려는 것이다. 따라서, 청구범위는 그러한 변형 예들 및 그 유사한 구성들 모두를 포함하는 것으로 가능한 폭넓게 해석되어야 한다.

#### 【발명의 효과】

<82> 이와 같은 본 발명에 의하면, 비접촉식 집적 회로 카드는 카드 리더로부터 수신된 무선 신호로부터 ISO/IEC 14443 A형 프로토콜에 적합한 클럭 동기 신호를 생성하고 수신된 데이터 신호를 디코딩할 수 있다. 더욱이, 카드 리더로부터 수신된 무선 신호의 휴지 구간이 소정 범위내에서 변하더라도 정확한 디코딩이 가능하다.

**【특허청구범위】****【청구항 1】**

비접촉식 집적 회로 카드의 클럭 신호 생성 및 데이터 디코딩 장치에 있어서:

휴지 (Pause) 구간을 포함하는 무선 신호를 수신하는 수신기와;

상기 수신된 신호를 분주하는 분주기와;

상기 수신된 신호의 비휴지(Non-Pause) 구간마다 상기 분주된 신호의 주기를 카운트하는 제 1 카운터와;

상기 분주된 신호의 주기를 카운트하는 제 2 카운터; 그리고

상기 제 1 카운터의 카운트 값과 상기 제 2 카운터의 카운트 값의 조합에 따라서 클럭 동기 신호를 생성하고 디코딩된 데이터 신호를 출력하는 디코더를 포함하는 것을 특징으로 하는 비접촉식 집적 회로 카드의 클럭 신호 생성 및 데이터 디코딩 장치.

**【청구항 2】**

제 1 항에 있어서,

상기 제 1 카운터는,

상기 무선 신호의 휴지 구간에서 리셋되는 것을 특징으로 하는 비접촉식 집적 회로 카드의 클럭 신호 생성 및 데이터 디코딩 장치.

**【청구항 3】**

제 1 항에 있어서,

상기 제 2 카운터는,

상기 클럭 동기 신호의 폴링 에지에서 리셋되는 것을 특징으로 하는 비접촉식 집적 회로 카드의 클럭 신호 생성 및 데이터 디코딩 장치.

**【청구항 4】**

제 1 항에 있어서,

상기 무선 신호는 ISO-14443 A형 인터페이스에 따른 무선 신호인 것을 특징으로 하는 비접촉식 집적 회로 카드의 클럭 신호 생성 및 데이터 디코딩 장치.

**【청구항 5】**

제 4 항에 있어서,

상기 디코더는 상기 제 1 카운터의 카운트 값과 상기 제 2 카운터의 카운트 값의 조합에 따라서 수신된 프레임의 종료를 나타내는 신호를 더 출력하는 것을 특징으로 하는 비접촉식 집적 회로 카드의 클럭 신호 생성 및 데이터 디코딩 장치.

**【청구항 6】**

비접촉식 집적 회로 카드의 수신 데이터 복원 장치에 있어서:

휴지 구간을 포함하는 무선 신호를 수신하고, 상기 수신된 무선 신호에서 데이터 신호와 클럭 신호를 각각 추출하는 수신기와;

상기 클럭 신호를 분주해서 분주된 클럭 신호를 생성하는 분주기와;

상기 데이터 신호의 비휴지(Non-Pause) 구간마다 상기 분주된 클럭 신호의 주기를 카운트하는 제 1 카운터와;

상기 분주된 클럭 신호의 주기를 카운트하는 제 2 카운터; 그리고

상기 제 1 카운터의 카운트 값과 상기 제 2 카운터의 카운트 값의 조합에 따라서 클럭 동기 신호를 생성하고 디코딩된 데이터 신호를 출력하는 디코더를 포함하는 것을 특징으로 하는 수신 데이터 복원 장치.

**【청구항 7】**

제 6 항에 있어서,

상기 제 1 카운터는,

상기 데이터 신호의 상기 휴지 구간의 시작에서 리셋되는 것을 특징으로 하는 수신 데이터 복원 장치.

**【청구항 8】**

제 7 항에 있어서,

상기 제 1 카운터는 3-비트 카운터인 것을 특징으로 하는 수신 데이터 복원 장치.

**【청구항 9】**

제 6 항에 있어서,

상기 제 2 카운터는 상기 클럭 동기 신호에 응답해서 리셋되는 것을 특징으로 하는 수신 데이터 복원 장치.

**【청구항 10】**

제 9 항에 있어서,

상기 제 2 카운터는 상기 클럭 동기 신호의 폴링 에지에 동기되어 리셋되는 것을 특징으로 하는 수신 데이터 복원 장치.

**【청구항 11】**

제 10 항에 있어서,

상기 제 2 카운터는 2-비트 카운터인 것을 특징으로 하는 수신 데이터 복원 장치.

**【청구항 12】**

제 11 항에 있어서,

상기 제 2 카운터의 카운트 값은 0부터 2까지 순차적으로 변화하는 것을 특징으로 하는 수신 데이터 복원 장치.

**【청구항 13】**

제 7 항에 있어서,

상기 제 1 카운터는 4-비트 카운터인 것을 특징으로 하는 수신 데이터 복원 장치.

**【청구항 14】**

제 13 항에 있어서,

상기 제 2 카운터는 상기 제 1 카운터의 카운트 값과 상기 제 2 카운터의 카운트 값의 조합에 따라서 리셋되는 것을 특징으로 하는 수신 데이터 복원 장치.

**【청구항 15】**

제 14 항에 있어서,

상기 제 2 카운터는 3-비트 카운터인 것을 특징으로 하는 수신 데이터 복원 장치.

**【청구항 16】**

제 12 항 또는 제 15 항에 있어서,

상기 무선 신호는 ISO-14443 A형 인터페이스에 따른 무선 신호인 것을 특징으로 하는 수신 데이터 복원 장치.

**【청구항 17】**

제 16 항에 있어서,

상기 디코더는 상기 제 1 카운터의 카운트 값과 상기 제 2 카운터의 카운트 값의 조합에 따라서 수신된 프레임의 종료를 나타내는 신호를 더 출력하는 것을 특징으로 하는 수신 데이터 복원 장치.

**【청구항 18】**

제 6 항에 있어서,

상기 비접촉식 집적 회로 카드를 리셋하기 위한 신호와 상기 수신기의 데이터 신호를 받아들이는 오아 게이트를 더 포함하되;

상기 제 1 카운터는 상기 오아 게이트의 출력에 응답해서 리셋되는 것을 특징으로 하는 수신 데이터 복원 장치.

**【청구항 19】**

제 6 항에 있어서,

상기 분주기는,

상기 수신기로부터의 상기 클럭 신호를 받아들이는 입력단과 출력단 사이에 직렬로 연결된 복수 개의 분주 유닛들과;

상기 각 분주 유닛들은 입력 신호를  $n$  분주하고; 그리고

외부로부터 제공되는 선택 신호에 응답해서 상기 분주 유닛들로부터의 출력 들 가운데 하나를 상기 분주된 클럭 신호로서 출력하는 선택기를 포함하는 것을 특징으로 하는 수신 데이터 복원 장치.

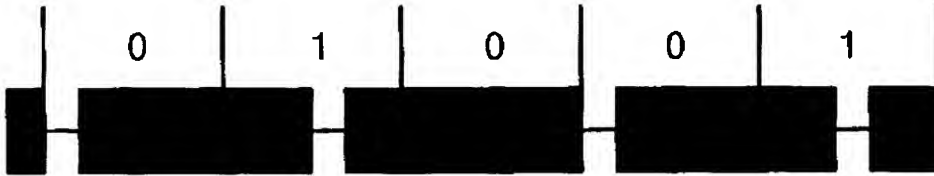


## 【도면】

【도 1a】

ASK 100%

Modified Miller, 106kbit/s



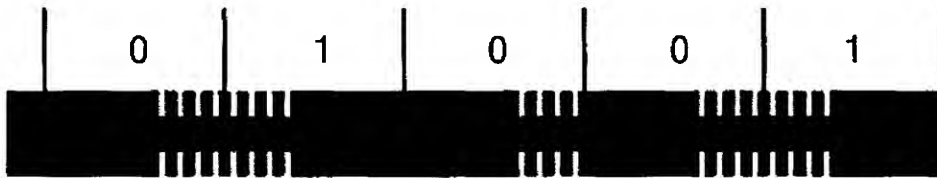
【도 1b】

Load Modulation

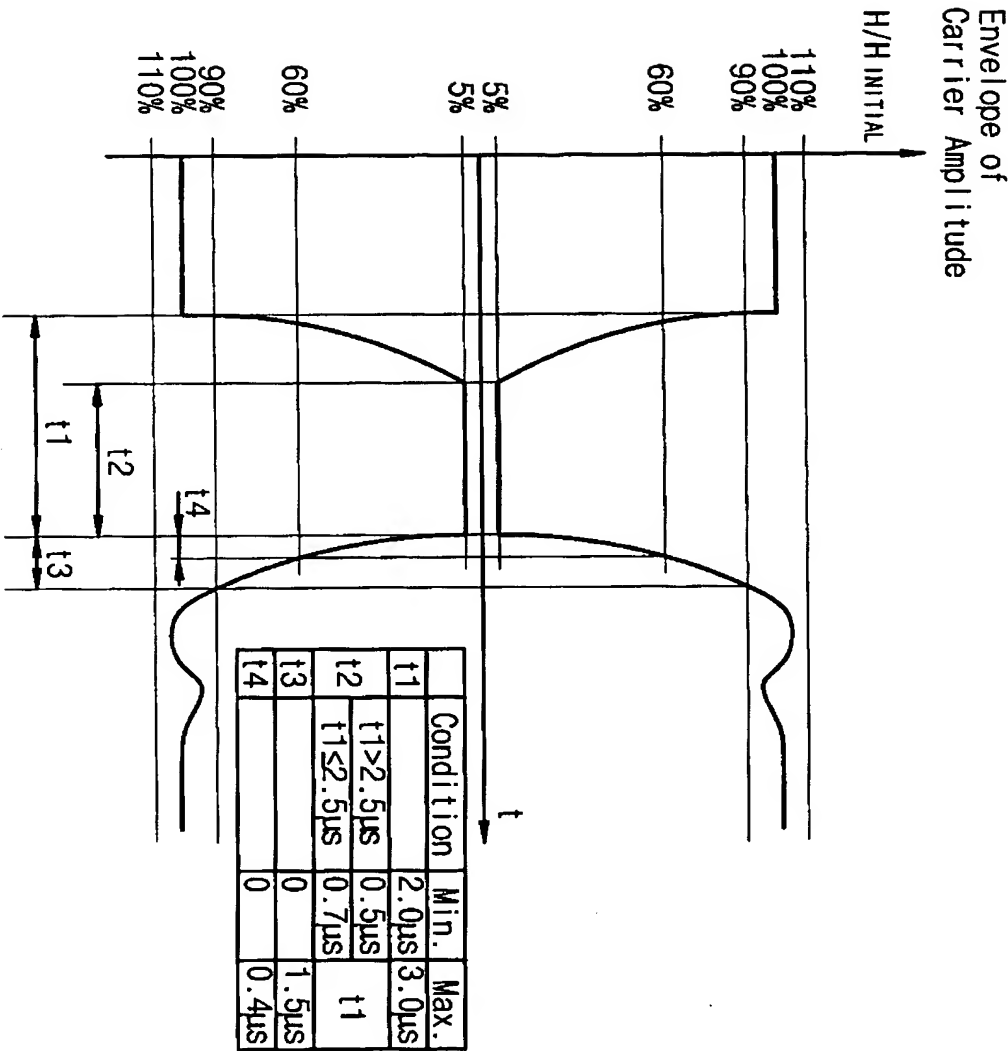
Subcarrier  $f/16$ 

OOK

Manchester, 106kbit/s



【도 2】



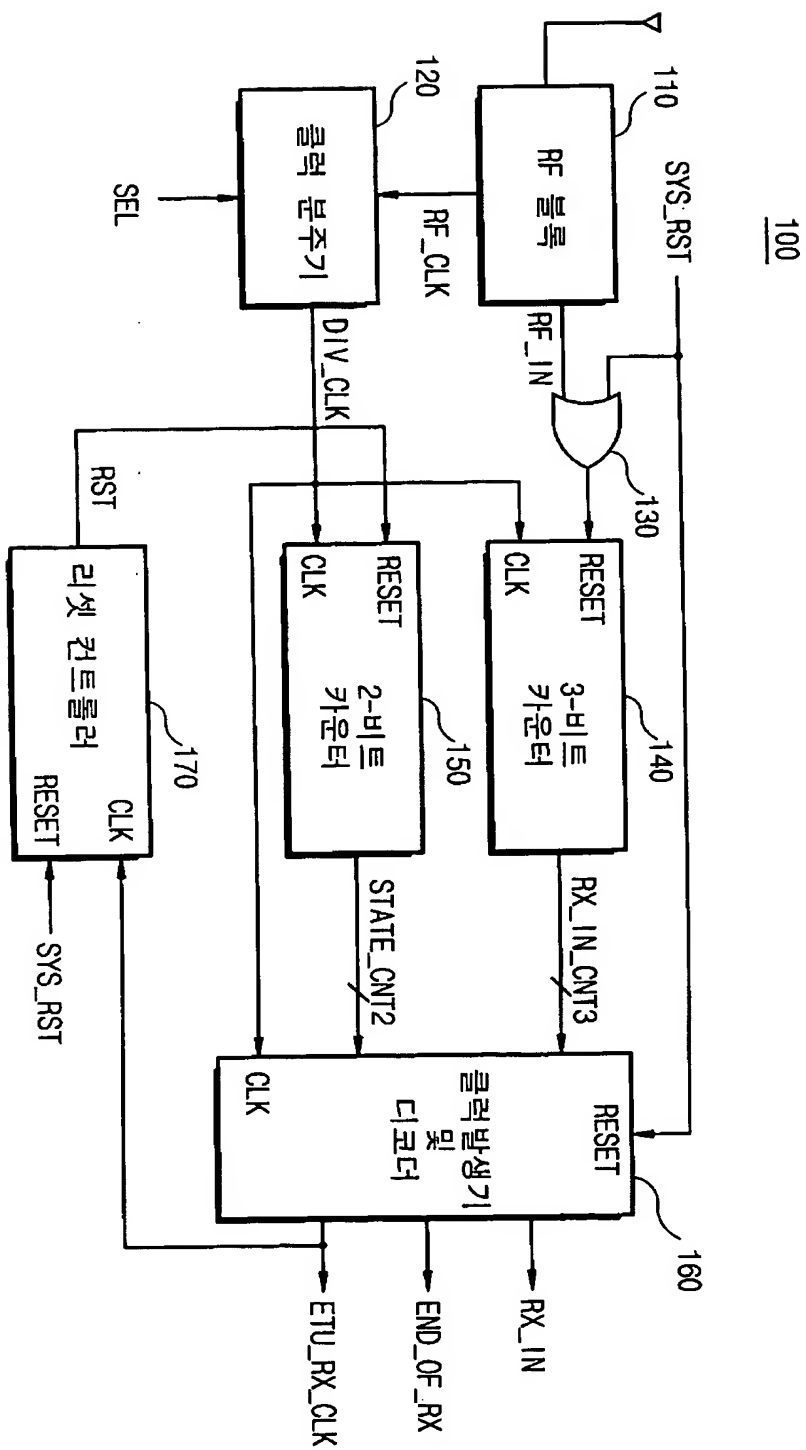
【표 3a】

LSB							MSB		
S	b1	b2	b3	b4	b5	b6	b7	E	

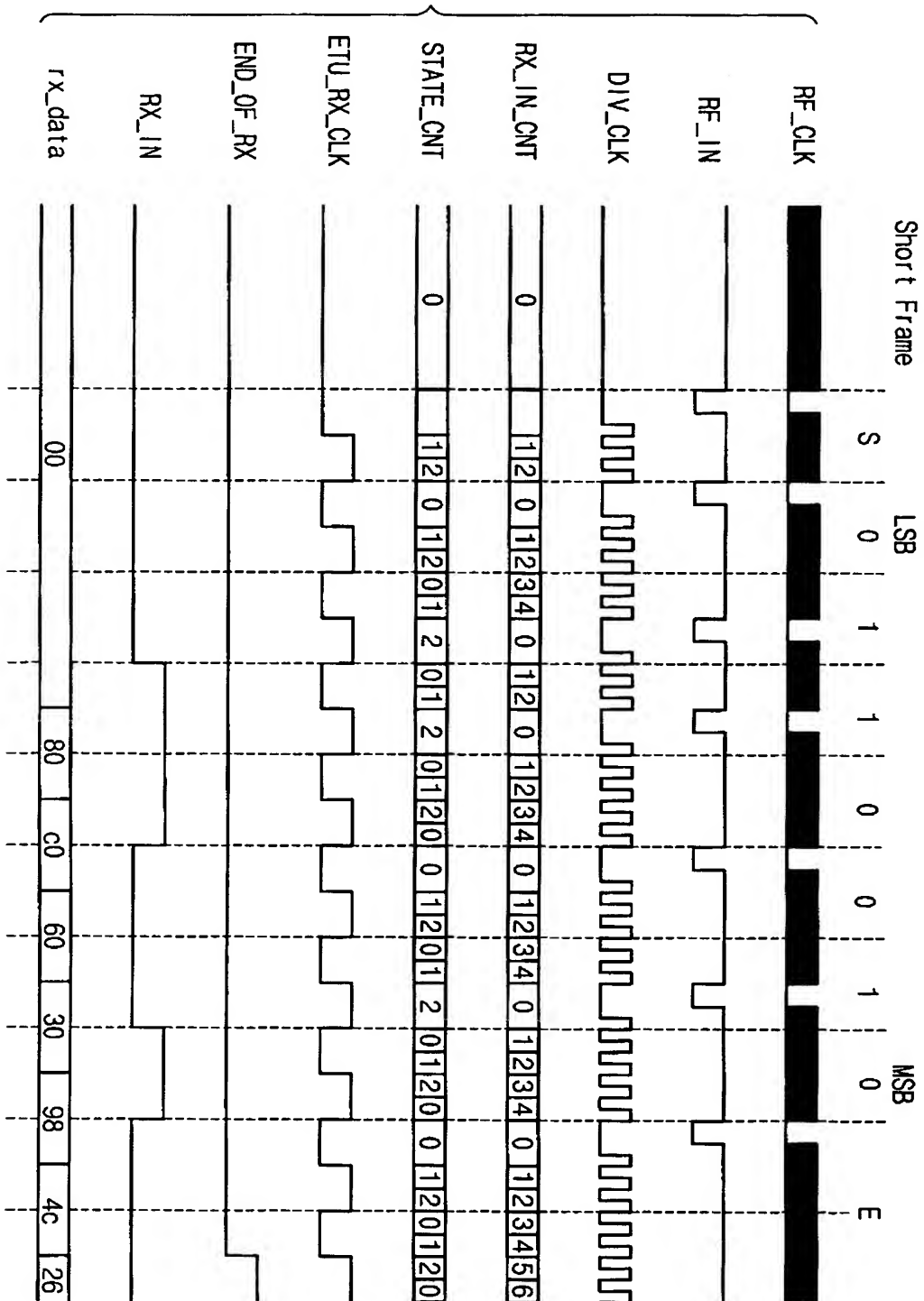
【표 3b】

S	b1	b2	b3	b4	b5	b6	b7	b8	P	b1	b2	b7	b8	P	b1	b2	b8	P	E
---	----	----	----	----	----	----	----	----	---	----	----	----	----	---	----	----	----	---	---

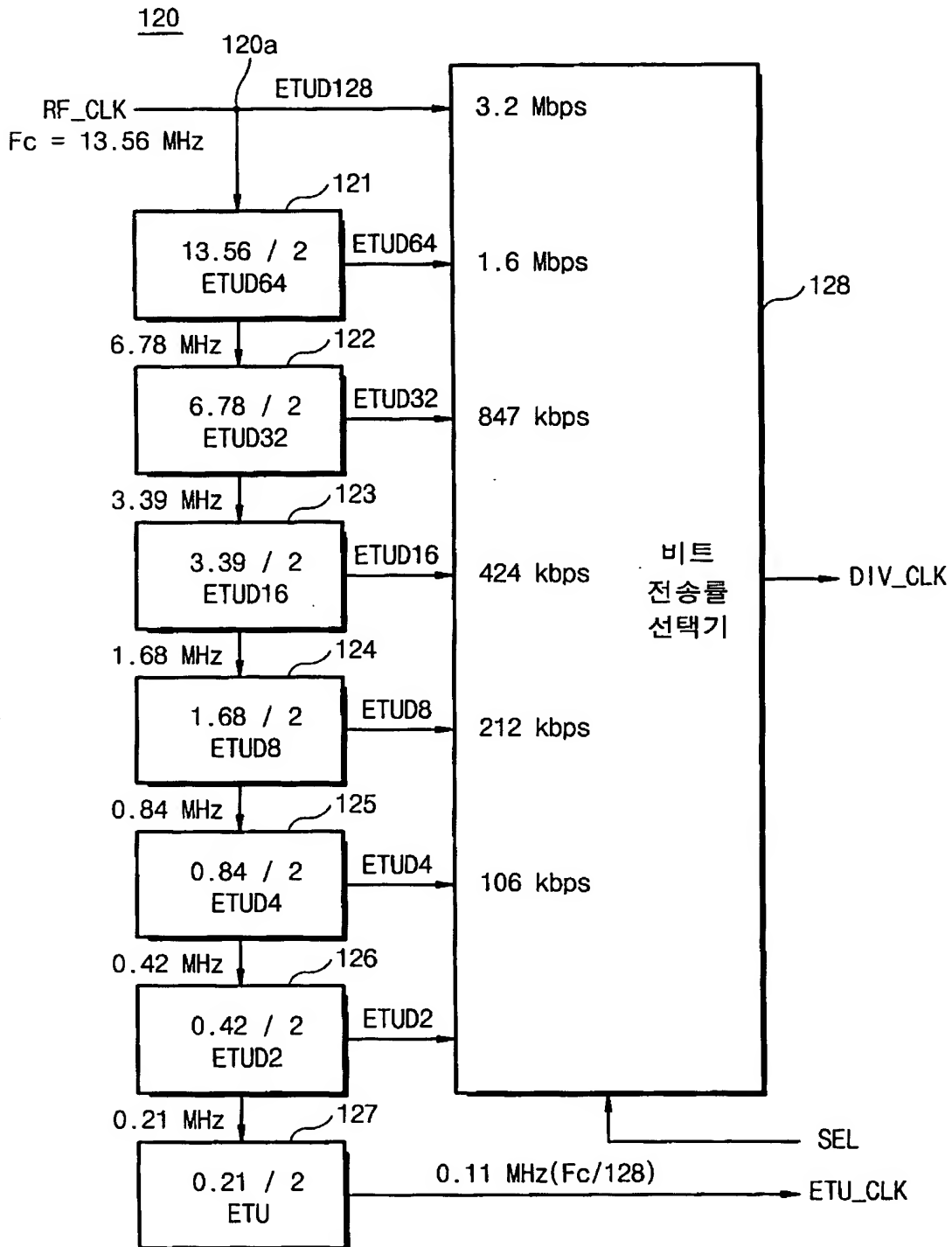
【도 4】



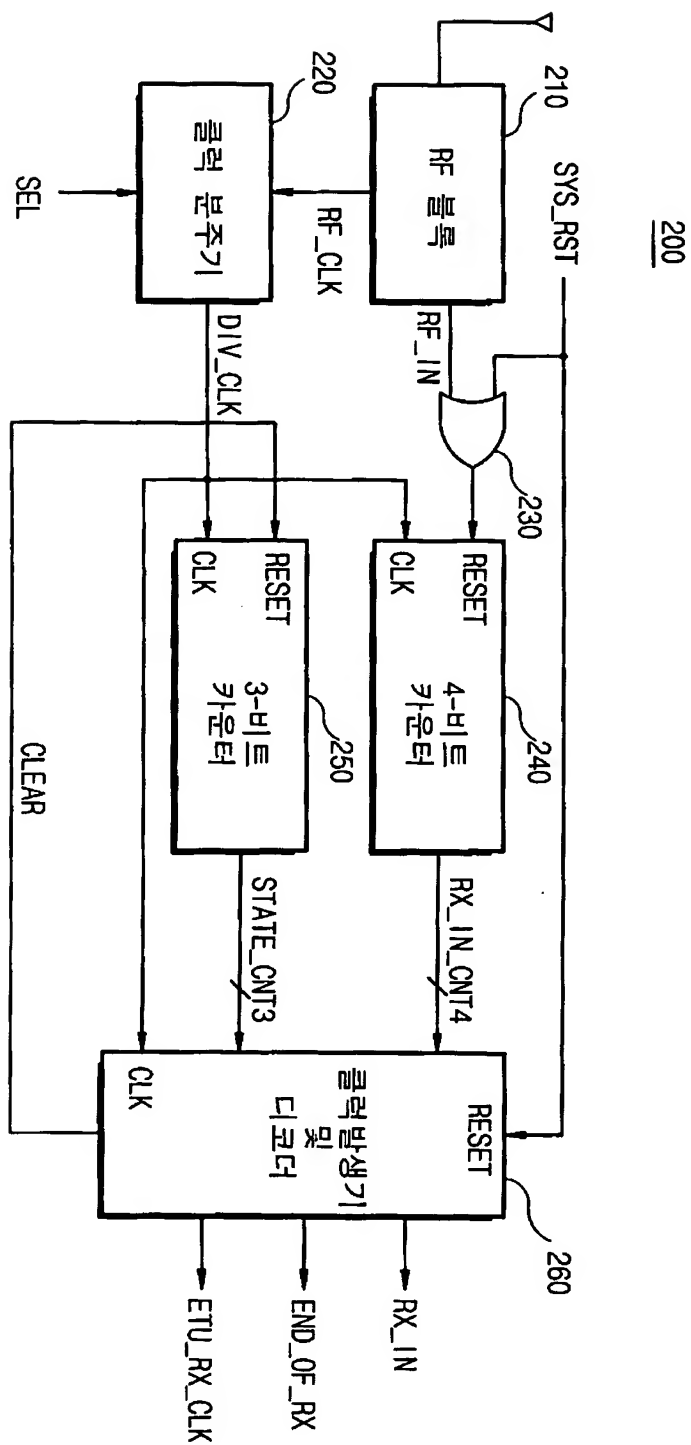
【도 5】



【도 6】



【도 7】





【 8】

